

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP7161820  
Publication date: 1995-06-23  
Inventor(s): NISHIMURA HIDEKUNI  
Applicant(s): SONY CORP  
Requested Patent: ☐ JP7161820  
Application Number: JP19930341698 19931209  
Priority Number(s):  
IPC Classification: H01L21/8222; H01L27/082; H01L21/316  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To form oxide films of different film thicknesses in one oxidation process by varying the introduction concentration of impurities.

**CONSTITUTION:**The surface of a standard-withstand voltage transistor formation region 3A is covered with a resist 10. In succession, boron is introduced, by making use of the resist 10 as a mask, only into a high-withstand voltage- transistor formation region 3B in which a silicon face has been exposed. After that, the resist 10 is removed, and a wafer is wet-oxidized. Then, a thin gate oxide film 11A is formed in the boron-undoped standard-withstand voltage- transistor formation region 3A, and a gate oxide film 11B whose film thickness is thick is formed in the boron-doped high-withstand voltage-transistor formation region 3B. Since the gate oxide films 11A, 11B with different thicknesses can be formed simultaneously in one oxidation process, the number of processes can be reduced as compared with conventional cases.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161820

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8222

27/082

21/316

U 7352-4M

7514-4M

H 0 1 L 27/ 08

1 0 1 T

審査請求 未請求 請求項の数3 F D (全 5 頁)

(21) 出願番号 特願平5-341698

(22) 出願日 平成5年(1993)12月9日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西村 英訓

鹿児島県国分市野口北5番地1号ソニー国

分株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は半導体装置の製造方法において、膜厚の異なる酸化膜を少ない工程で形成することができる製造方法を提案する。

【構成】 第1及び第2の酸化膜形成領域のうち第1の酸化膜形成領域のシリコン面にのみ不純物を導入し、両面を同時に酸化する。このとき不純物が導入されている第1の酸化膜形成領域に形成される酸化膜は第2の酸化膜形成領域に形成される酸化膜に比して形成速度が速い。このため第1の酸化膜形成領域には第2の酸化膜形成領域に比して厚い酸化膜を形成することができる。このように従来2回の酸化工程が必要であった形成工程を1回の酸化工程によって実現することができ、従来に比して生産効率を一段と高めることができる。

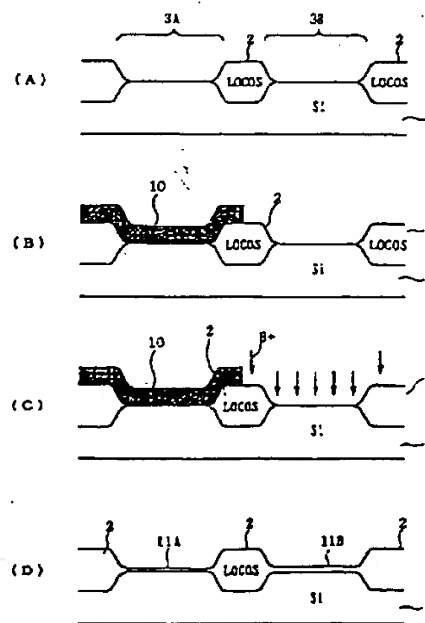


図1 実施例の製造工程

1

## 【特許請求の範囲】

【請求項1】第1の膜厚の酸化膜が形成される第1の酸化膜形成領域と、上記第1の膜厚に比して薄い第2の膜厚の酸化膜が形成される第2の酸化膜形成領域とを有する半導体装置の製造方法において、

シリコン面が共に露出された上記第1及び第2の酸化膜形成領域のうち上記第2の酸化膜形成領域のシリコン面をレジストパターンによつて覆う工程と、

上記第1の酸化膜形成領域のシリコン面に不純物を導入する工程と、

上記レジストパターンを除去した後、上記第1及び第2の酸化膜形成領域を同時に酸化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】上記不純物を拡散工程によつて導入することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】上記第1及び第2の酸化膜形成領域をそれぞれウェット酸化法によつて酸化することを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、例えば耐圧の異なる2種類のトランジスタを内蔵する半導体装置の製造方法に適用して好適なものである。

【0002】

【従来の技術】今日、金属酸化膜半導体(MOS: metal oxide semiconductor)大規模集積回路においては、高電圧等に対する耐圧を確保するためゲート酸化膜を厚くした高耐圧型のトランジスタが広く用いられている。ところで集積回路には高耐圧が要求される回路部分と通常の耐圧で十分な回路部分とがあり、通常は、高耐圧トランジスタと標準耐圧トランジスタとが混在している。

【0003】このように耐圧の異なるトランジスタを集積回路に形成するには、図4に示すような製造方法が用いられている。まず前処理によつてシリコン基板1のフィールド領域に素子分離酸化膜(LOCOS: local oxidation of silicon)2を形成する。その後、素子形成領域上を覆う酸化膜をウェットエッチングによつて取り除き、素子形成領域のシリコン面を露出する。この段階の断面構造が図4(A)である。

【0004】この後、1回目の酸化処理に移る。この酸化処理には水素ガスと酸素ガスを反応炉外にて燃焼させるパイロジェニック装置が用いられる。この酸化処理により標準耐圧トランジスタ形成領域3A及び高耐圧トランジスタ形成領域3Bにそれぞれ約24(nm)の膜厚のゲート酸化膜が形成される。この段階の断面構造が図4(B)である。続いて図4(C)に示すように、高耐圧トランジスタ形成領域3Bに形成されたゲート酸化膜の表面をレジスト4によつて覆い、この状態で標準耐圧ト

2

ランジスタ形成領域3A部分のゲート酸化膜をウェットエッチングする。

【0005】このエッチング処理により標準耐圧トランジスタ形成領域3A部分のゲート酸化膜を取り除いた状態が図4(D)である。この工程が終了すると、レジスト4をアツシングによつて取り除き、2回目の酸化処理に移る。この酸化処理にもパイロジェニック装置が用いられる。これにより標準耐圧トランジスタ形成領域3Aには2回目の酸化処理によつて形成されたゲート酸化膜が形成され、高耐圧トランジスタ形成領域3Bには1回目と2回目の酸化処理によつて形成されたゲート酸化膜が重ねて形成されることになる。

【0006】すなわち図4(E)に示すように、標準耐圧トランジスタ形成領域3Aには20.5(nm)の膜厚のゲート酸化膜5Aが形成されるのに対し、高耐圧トランジスタ形成領域3Bには40(nm)の膜厚のゲート酸化膜5Bが形成される。

【0007】

【発明が解決しようとする課題】このように従来の場合には2回の酸化工程とレジストパターンニング工程等が膜厚の異なるゲート酸化膜5A及び5Bを形成するのに必要である。しかしながらこれらの工程よりも少ない工程でこれらのゲート酸化膜を形成することができれば生産効率は一段と向上すると考えられる。

【0008】本発明は以上の点を考慮してなされたもので、従来に比して生産効率に優れた半導体装置の製造方法を提案しようとするものである。

【0009】

【課題を解決するための手段】かかる課題を解決するため本発明においては、第1の膜厚の酸化膜11Bが形成される第1の酸化膜形成領域3Bと、第1の膜厚に比して薄い第2の膜厚の酸化膜11Aが形成される第2の酸化膜形成領域3Aとを有する半導体装置の製造方法において、シリコン面1が共に露出された第1及び第2の酸化膜形成領域3A及び3Bのうち第2の酸化膜形成領域3Aのシリコン面1をレジストパターン10によつて覆う工程と、第1の酸化膜形成領域3Bのシリコン面1にのみ不純物を導入する工程と、レジストパターン10を除去した後、第1及び第2の酸化膜形成領域3A及び3Bを同時に酸化する工程とを設けるようにする。

【0010】

【作用】不純物が導入されたシリコン面には不純物が導入されていないシリコン面に比して酸化膜が速く形成される性質がある。従つて1度の酸化工程によつて、不純物が導入されている第1の酸化膜形成領域3Bには厚い酸化膜11Bを形成することができ、また第2の酸化膜形成領域3Aには膜厚の薄い酸化膜11Aを形成することができる。このように膜厚の異なる酸化膜11A及び11Bを1回の酸化工程によつて形成することができるため従来に比して製造効率を高めることができる。

【0011】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0012】図4との対応部分に同一符号を付して示す図1によつて、厚みの異なるゲート酸化膜を1回の酸化工程によつて形成する製造方法を説明する。まず従来の場合と同様、前工程によつてフィールド領域に素子分離酸化膜2を形成する。この後、緩衝フッ酸（フッ酸（HF）とフッ化アンモニウム（NH<sub>4</sub>F）とを混合液）によつて素子形成領域3A及び3Bを覆う酸化膜を取り除き、図1（A）の構造を得る。

【0013】従来の製造工程ではこの段階で1回目の酸化工程に移ることになるが、この実施例では、図1（B）に示すように、標準耐圧トランジスタ形成領域3Aの表面をレジスト10によつて覆う。続いて図1（C）に示すように、レジスト10をマスクとしてシリコン面が露出した高耐圧トランジスタ形成領域3Bのみにのみホウ素（B：boron）を導入する。

【0014】これはホウ素が導入されている場合と導入されていない場合とでウエット酸化の際に成長される酸化膜の膜厚に差が生じるシリコンの性質を利用するためである。

【0015】例えば図2に示すように、ホウ素が $1.0 \times 10^{16}$  [atom/cm<sup>3</sup>] 程度導入されているシリコンと $2.5 \times 10^{20}$  [atom/cm<sup>3</sup>] 程度導入されているシリコンとでは、1000 [°C] の温度条件下で40 [分] ウエット酸化した際に形成される酸化膜の膜厚に差が生じることになる。すなわち濃度の高いシリコンの方が濃度の低いシリコンに比して数10 [nm] 程度膜厚が厚くなる。因にホウ素の場合には酸化温度が低いほど酸化速度に差が生じる。

【0016】従つてホウ素を導入した工程の後、レジスト10を取り除いてウエハをウエット酸化すると、図1（D）に示すように、ホウ素が導入されていない標準耐圧トランジスタ形成領域3Aには膜厚の薄いゲート酸化膜11Aが形成されるのに対し、ホウ素が導入されている高耐圧トランジスタ形成領域3Bには膜厚の厚いゲート酸化膜11Bが形成されることになる。

【0017】以上の工程によれば、1回の酸化工程によつて膜厚の異なるゲート酸化膜11A及び11Bを同時に作り分けることができ、従来に比して一段と工程数を削減することができる。またゲート酸化膜11Bの膜厚は導入するホウ素のドーザ量によつて制御できるためゲート酸化膜の膜厚制御を従来に比して一段と簡易にすることができる。

【0018】なお上述の実施例においては、 $1.0 \times 10^{16}$  [atom/cm<sup>3</sup>] 程度のホウ素が導入されているシリコンと $2.5 \times 10^{20}$  [atom/cm<sup>3</sup>] 程度のホウ素が導入されているシリコンとを1000 [°C] の温度条件下で40 [分] 間ウエット酸化することを例にとりホウ素の導入

による効果を述べたが、酸化膜の膜厚はプロセス条件（酸化時間や酸化温度）によつても異なるためホウ素のドーザ量やプロセス条件は要求される膜厚や膜厚差に応じて最適なものをを用いれば良い。因にドーザ量及び酸化温度に対する酸化膜の検量線を予め求めておくことでドーザ量を容易に決定することができる。

【0019】また上述の実施例においては、ホウ素を高耐圧トランジスタ形成領域3Bに導入する場合について述べたが、本発明はこれに限らず、燐を導入する場合にも適用し得る。この場合、図3に示す特性曲線が得られる。またホウ素や燐に限らず他の不純物を導入しても良い。

【0020】さらに上述の実施例においては、ウエット酸化によつてゲート酸化膜を形成する場合について述べたが、本発明はこれに限らず、ドライ酸化や水素熱酸化等によつて酸化する場合にも適用し得る。

【0021】また上述の実施例においては、不純物をシリコン基板1中に導入することによりシリコン基板上に膜厚の異なる酸化膜をそれぞれ形成する場合について述べたが、この不純物の導入にはイオン注入や拡散処理を用いれば良い。

【0022】さらに上述の実施例においては、膜厚を厚くしたい方のシリコン面にのみ不純物を導入する場合について述べたが、本発明はこれに限らず、いずれのシリコン面にも要求される膜厚に応じて濃度の異なる不純物を導入しても良い。

【0023】さらに上述の実施例においては、シリコン基板上に標準耐圧トランジスタと高耐圧トランジスタを形成する方法について述べたが、本発明はこれに限らず、シリコン基板上に膜厚の異なる酸化膜を形成する工程を含む半導体製造装置の製造方法に広く適用し得る。

【0024】

【発明の効果】上述のように本発明によれば、不純物が導入されたシリコン面には不純物が導入されていないシリコン面に比して酸化膜が速く形成される性質を用いることにより膜厚の異なる酸化膜を1回の酸化工程によつて形成することができ、従来に比して工程数の少ない半導体装置の製造方法を実現することができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法の一実施例を示す工程図である。

【図2】不純物の濃度と酸化膜の成長速度との関係を示す特性曲線図である。

【図3】不純物の濃度と酸化膜の成長速度との関係を示す特性曲線図である。

【図4】従来の半導体装置の製造方法を示す工程図である。

【符号の説明】

1……シリコン基板、2……素子間分離酸化膜、3A……標準耐圧トランジスタ形成領域、3B……高耐圧トラン

5

ンジスタ形成領域、4、10……レジスト、5A、5

6

B、11A、11B……ゲート酸化膜。

【図1】

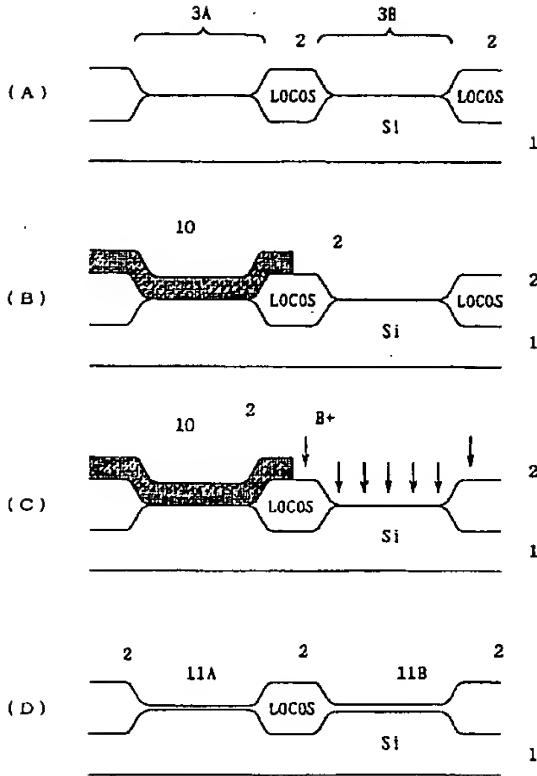


図1 実施例の製造工程

【図3】

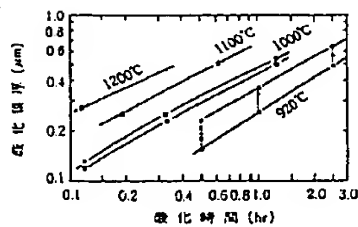
P(新)ドーパSiのウェットO<sub>2</sub>酸化  
(95℃ H<sub>2</sub>O)P濃度: ●..... $1.5 \times 10^{19} \text{ cm}^{-3}$   
▲..... $1.7 \times 10^{19}$   
●..... $4.0 \times 10^{19}$ 

図3 ドープシリコンをウェット酸化した時における酸化膜成長特性(2)

【図2】

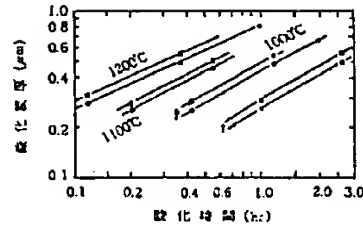
B(ボロン)ドーパSiのウェットO<sub>2</sub>酸化  
(95℃ H<sub>2</sub>O)B濃度: ●..... $2.5 \times 10^{19} \text{ cm}^{-3}$   
▲..... $1.0 \times 10^{19}$   
●..... $1.0 \times 10^{18}$ 

図2 ドープシリコンをウェット酸化した時における酸化膜成長特性(1)

【図4】

標準耐圧トランジスタ形成領域 高耐圧トランジスタ形成領域

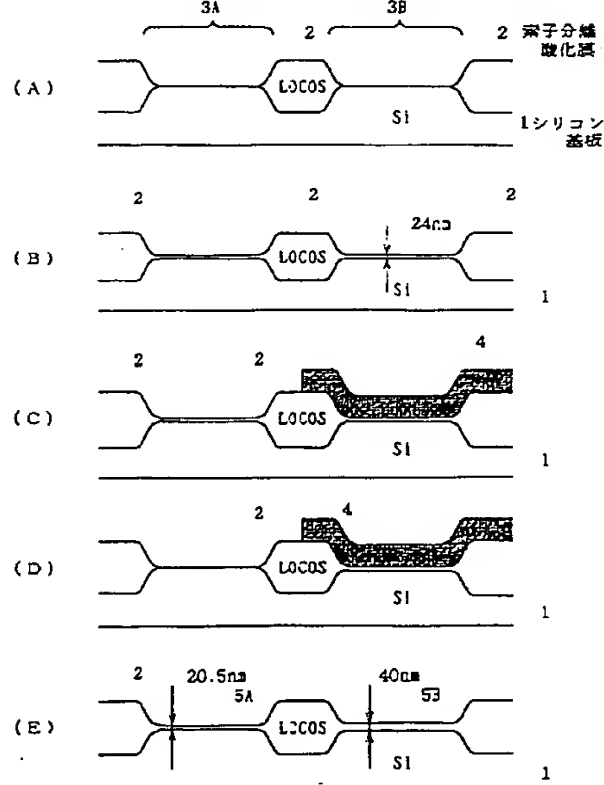


図4 従来の製造工程

【手続補正書】

【提出日】平成5年12月10日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】

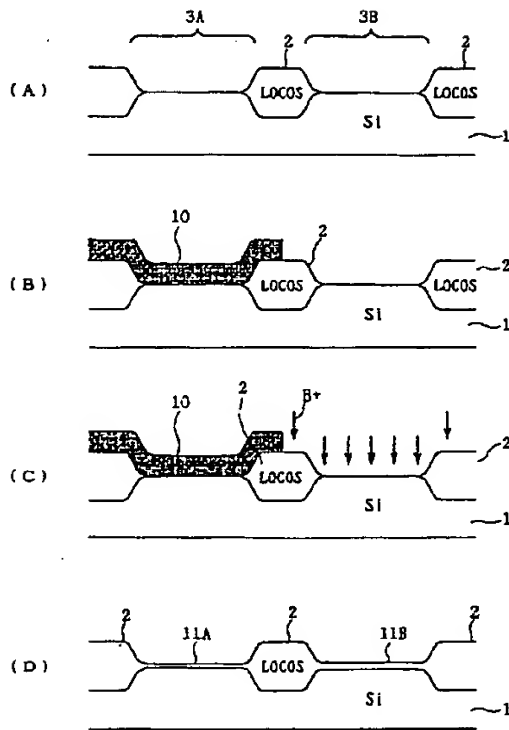


図1 実施例の製造工程

【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】

標準耐圧トランジスタ形成領域 高耐圧トランジスタ形成領域

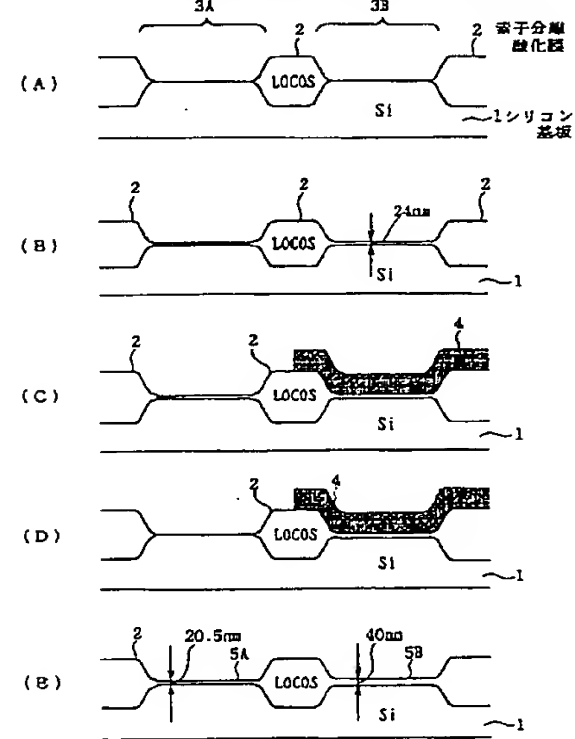


図4 従来の製造工程